

## Abstract of Korean Application No. 10-1997-009938

The disclosure is a method of fabricating a ferroelectric semiconductor memory device, including the steps of; forming a CMOS transistor; forming a first barrier film on the CMOS transistor in a predetermined thickness; etching the first barrier film on a drain of the CMOS transistor to open the drain; depositing a first conductive material over the preformed structure to form a lower electrode; depositing a ferroelectric material on the first conductive material in a predetermined thickness; depositing a second conductive material on the ferroelectric material to form a higher electrode; etching the first conductive material, the ferroelectric material, and the second conductive material to form a capacitor; forming a second barrier film surrounding the capacitor; depositing an interlayer isolation film over the preformed structure; partially etching the interlayer isolation film to form a contact opening; depositing a third conductive material on the contact opening and the interlayer isolation film; and patterning the third conductive material to provide a connection between the capacitor and an external site.

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl. <sup>6</sup> H01L 27/04	(11) 공개번호      특 1998-074221 (43) 공개일자      1998년 11월 05일
(21) 출원번호      특 1997-009938	
(22) 출원일자      1997년 03월 22일	
(71) 출원인      삼성전자 주식회사      윤종용	
	경기도 수원시 팔달구 매탄동 416
(72) 발명자      이진우	
	경기도 수원시 권선구 권선동 1231
(74) 대리인      이건주	

심사청구 : 없음

(54) 강유전체 반도체 메모리 장치의 제조방법

**요약**

본 발명은 강유전체 반도체 메모리 장치에 관한 것이다. 본 발명의 요지는 강유전체 반도체 메모리 장치의 제조방법에 있어서, 씨모오스 트랜지스터를 형성하는 과정과, 상기 씨모오스 트랜지스터 상부에 제1장벽막을 소정 두께 형성하는 과정과, 상기 씨모오스 트랜지스터의 드레인 상부에 형성된 상기 제1장벽막을 식각하여 개방하는 과정과, 전면에 걸쳐 제1도전체를 침적하여 하부전극을 형성하는 과정과, 상기 제1도전체 상부에 강유전체 물질을 소정 두께 침적하는 과정과, 상기 강유전체 물질 상부에 제2도전체를 침적하여 상부전극을 형성하는 과정과, 상기 제1도전체, 강유전체 물질 및 제2도전체를 식각하여 캐패시터를 형성하는 과정과, 상기 캐패시터를 둘러싸는 제2장벽막을 형성하는 과정과, 전면에 걸쳐 층간절연막을 소정 두께 침적하는 과정과, 상기 층간절연막을 식각하여 상기 상부전극의 일부를 개방하여 접촉개구부를 형성하는 과정과, 상기 접촉 개구부 및 상기 층간절연막 상부에 제3도전체를 침적하여 형성하는 과정과, 상기 캐패시터와 외부를 전기적으로 연결하기 위하여 상기 제3도전체를 패터닝하는 과정을 포함함을 특징으로 한다.

**대표도**

도 1d

영세서

**도면의 간단한 설명**

도 1a ~ 도 1d는 본 발명의 일실시예에 따른 강유전체 반도체 메모리 장치의 제조수순을 보이는 공정단면도들.

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

본 발명은 강유전체 반도체 메모리 장치에 관한 것으로, 특히 강유전체 반도체 메모리 장치의 제조방법에 관한 것이다.

일반적으로, 강유전체 램(Ferroelectric RAM)은 전원이 차단되어도 데이터를 저장하고 있는 특징을 가지기 때문에 차세대 소자로 주목 받고 있다. 한편 강유전체 반도체 메모리 중 강유전체(Lead Zirconate Titanate: 이하 PZT라 칭함) 줄-겔(Sol-Gel)을 사용하여 고집적의 메모리를 제조할 때에도 다른 메모리와 같이 기계 화학적 폴리싱(Chemical Mechanical Polishing: 이하 CMP라 칭함) 공정이 필요하게 된다. 그러나 PZT가 실리콘 산화막( $SiO_2$ )과 직접 면접하게 되면 각각의 열팽창 계수가 다르기 때문에 PZT에 크랙(Crack)이 발생하는 문제점이 있다.

**발명이 이루고자 하는 기술적 과제**

본 발명의 목적은 강유전체 캐패시터 제조시 상부의 절연막과의 사이에 장벽막을 형성함으로써 후속 열처리 공정에서의 크랙을 방지할 수 있는 강유전체 반도체 메모리 장치의 제조방법을 제공함에 있다.

**발명의 구성 및 작용**

상기한 목적을 달성하기 위한 본 발명의 기술적 사상은, 강유전체 반도체 메모리 장치의 제조방법에 있

어서, 씨모오스 트랜지스터를 형성하는 과정과, 상기 씨모오스 트랜지스터 상부에 제1장벽막을 소정 두께 형성하는 과정과, 상기 씨모오스 트랜지스터의 드레인 상부에 형성된 상기 제1장벽막을 식각하여 개방하는 과정과, 전면에 걸쳐 제1도전체를 침적하여 하부전극을 형성하는 과정과, 상기 제1도전체 상부에 강유전체 물질을 소정 두께 침적하는 과정과, 상기 강유전체 물질 상부에 제2도전체를 침적하여 상부전극을 형성하는 과정과, 상기 제1도전체, 강유전체 물질 및 제2도전체를 식각하여 캐패시터를 형성하는 과정과, 상기 캐패시터를 둘러싸는 제2장벽막을 형성하는 과정과, 전면에 걸쳐 층간절연막을 소정 두께 침적하는 과정과, 상기 층간절연막을 식각하여 상기 상부전극의 일부를 개방하여 접촉 개구부를 형성하는 과정과, 상기 접촉 개구부 및 상기 층간절연막 상부에 제3도전체를 침적하여 형성하는 과정과, 상기 캐패시터와 외부를 전기적으로 연결하기 위하여 상기 제3도전체를 패터닝하는 과정을 포함함을 특징으로 한다.

이하 본 발명의 바람직한 실시예를 첨부한 도면을 참조하여 상세히 설명한다. 우선 각 도면의 구성요소들에 참조부호를 부가함에 있어서, 동일한 구성요소들에 대해서는 비록 다른 도면상에 표시되더라도 가능한한 동일한 부호를 가지도록 하고 있음에 유의해야 한다.

도 1a ~ 도 1d는 본 발명의 일실시예에 따른 강유전체 메모리 장치의 제조수순을 보이는 공정단면도들이다. 도 1a ~ 도 1d를 참조하면, 도 1a에서 통상적으로 널리 알려진 씨모오스 트랜지스터 제조 공정을 진행한 후 제1층간절연막 (40) 예를들면 보로 포스포 실리케이트 글래스(Borophospho Silicate Glass: 이하 BPSG라 칭함)로 4000Å ~ 5000Å 정도를 상기 씨모오스 트랜지스터 상부에 증착한다. 이후 씨모오스 트랜지스터의 소오스(source)와 연결될 부분을 폴리실리콘과 같은 도전체로 패터닝한다. 그 상부에 제2 층간절연막 50 예를들면 BPSG를 4000Å ~ 5000Å 정도 증착한다. 이후 강유전체 캐패시터의 하부 전극을 형성하는데 씨모오스 트랜지스터의 드레인과 연결될 부분의 상기 제2층간절연막 50을 개방하고 폴리실리콘등과 같은 도전체를 증착한다. 이후 CMP 공정으로 전체 표면을 평평하게 하는 동시에 도전체 접촉 개구부를 형성한다. 그 상부에 티타늄 산화막(TiO<sub>2</sub>)을 증착하고 강유전체의 하부 전극과 도전체가 연결될 부분의 티타늄 산화막을 제거한다. 하부 전극 예를들면 백금(Pt)을 증착하고 패터닝한다. 그 상부에 PZT 층-겔 코팅 110을 하고 상부 전극 예를들면 백금을 증착한다. 여기에서 PZT 코팅시 산화막과 내부의 티타늄 산화막(TiO<sub>2</sub>) 없이 직접 접촉하게 되면 열팽창 계수 차이로 인하여 PZT에 크랙(Crack)이 발생하게 된다. 도 1b는 사진 및 식각 공정으로 상부 전극과 PZT를 동시에 식각하거나 혹은 상부로부터 차례로 식각하여 강유전체 캐패시터를 제조함을 보여준다. 도 1c는 강유전체 캐패시터를 후속 공정에 의한 손상에서 보호하기 위하여 전면 상부에 장벽막 예를들면 티타늄 산화막 120을 침적하고 그 상부에 제3층간절연막 130 예를들면 ECR 산화막을 증착한다. 도 1d는 캐패시터의 상부 전극과 연결될 부분의 제3층간절연막 130을 개방하여 접촉 개구부를 형성하고 그 내부 및 상부에 금속 140을 증착한다. 이후 사진 및 식각 공정으로 플레이트 라인을 제조한다.

#### 발명의 효과

상기한 본 발명에 따르면, 강유전체 캐패시터와 절연막 사이에 장벽막으로 티타늄 절연막을 도포함으로써 후속 열처리 공정시 절연막과 강유전체 캐패시터 각각의 열팽창 계수가 상이함에 무관하게 크랙을 방지할 수 있는 효과가 있다.

상기한 본 발명은 도면을 중심으로 예를들어 한정되었지만, 그 동일한 것은 본 발명의 기술적 사상을 벗어나지 않는 범위내에서 여러가지 변화와 변형이 가능함이 본 분야의 속련된 자에게 있어 명백할 것이다.

#### (57) 청구의 범위

##### 청구항 1

강유전체 반도체 메모리 장치의 제조방법에 있어서,

씨모오스 트랜지스터를 형성하는 과정과,

상기 씨모오스 트랜지스터 상부에 제1장벽막을 소정 두께 형성하는 과정과,

상기 씨모오스 트랜지스터의 드레인 상부에 형성된 상기 제1장벽막을 식각하여 개방하는 과정과,

전면에 걸쳐 제1도전체를 침적하여 하부전극을 형성하는 과정과,

상기 제1도전체 상부에 강유전체 물질을 소정 두께 침적하는 과정과,

상기 강유전체 물질 상부에 제2도전체를 침적하여 상부전극을 형성하는 과정과,

상기 제1도전체, 강유전체 물질 및 제2도전체를 식각하여 캐패시터를 형성하는 과정과,

상기 캐패시터를 둘러싸는 제2장벽막을 형성하는 과정과,

전면에 걸쳐 층간절연막을 소정 두께 침적하는 과정과,

상기 층간절연막을 식각하여 상기 상부전극의 일부를 개방하여 접촉 개구부를 형성하는 과정과,

상기 접촉 개구부 및 상기 층간절연막 상부에 제3도전체를 침적하여 형성하는 과정과,

상기 캐패시터와 외부를 전기적으로 연결하기 위하여 상기 제3도전체를 패터닝하는 과정을 포함함을 특징으로 하는 강유전체 반도체 메모리 장치의 제조방법.

##### 청구항 2

제1항에 있어서, 상기 제1 및 제2장벽막이 티타늄 또는 티타늄 산화막으로 형성됨을 특징으로 하는 강유

전체 반도체 메모리 장치의 제조방법.

청구항 3

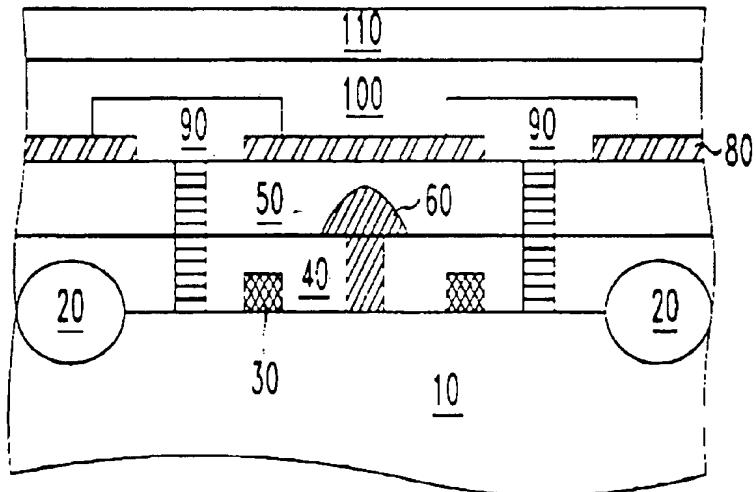
제1항에 있어서, 상기 캐패시터가 상기 상부 전극, 강유전체 물질 및 하부 전극을 동시에 식각하여 형성됨을 특징으로 하는 강유전체 반도체 메모리 장치의 제조방법.

청구항 4

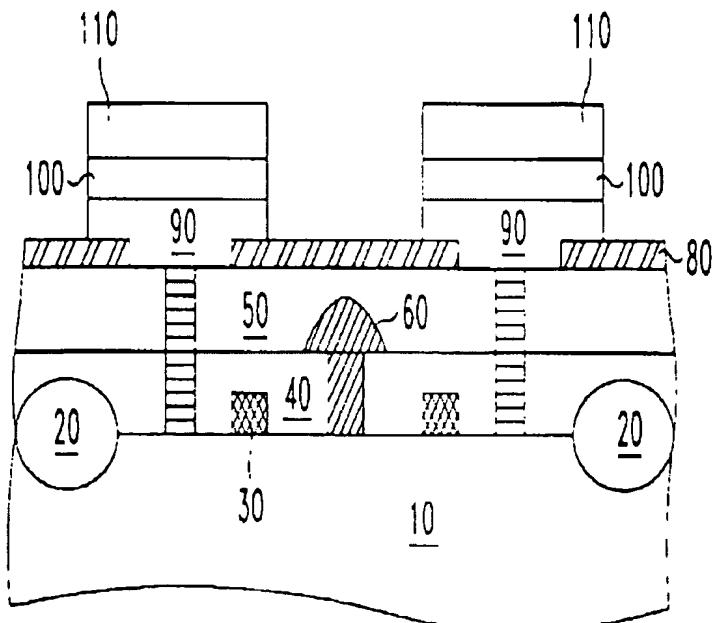
제1항에 있어서, 상기 캐패시터가 상기 상부 전극, 강유전체 물질 및 하부 전극을 차례로 식각하여 형성됨을 특징으로 하는 강유전체 반도체 메모리 장치의 제조방법.

도면

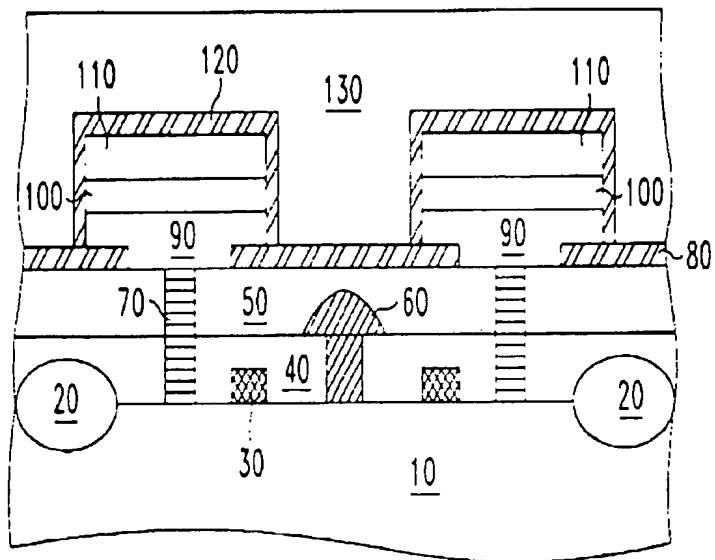
도면 1a



도면 1b



도면 1c



도면 1d

